

IMAGE DISPLAY PANEL

Publication number: JP3053218 (A)

Publication date: 1991-03-07

Inventor(s): OKIMURA TAKAYUKI; NAKAJIMA HIDEKI; SAKAI SHIGENOBU

Applicant(s): NIPPON TELEGRAPH & TELEPHONE

Classification:

- international: **G02F1/1343; G02F1/133; G02F1/136; G02F1/1368; G09G3/20; G09G3/36; G02F1/1362; G02F1/13; G09G3/20; G09G3/36; G02F1/13; (IPC1-7): G02F1/133; G02F1/1343; G02F1/136; G09G3/20; G09G3/36**

- European:

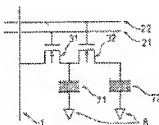
Application number: JP19890189176 19890721

Priority number(s): JP19890189176 19890721

Abstract of JP 3053218 (A)

PURPOSE: To improve the multi-gradation display capacity by providing a means by which an element having a switching function of each liquid crystal picture element is applied from the outside and a digital image signal corresponding to a displayed gradation level is converted into an analog voltage corresponding to its gradation level.

CONSTITUTION: A source line 1 constitutes a train electrode for applying a digital image signal voltage of a time series from a source line driving circuit, and gate lines 21, 22 constitute a train electrode for opening and closing alternately conducting parts of a TFT 31 and a TFT 32 by applying an opening/closing control signal voltage of two phases synchronizing with the digital image signal voltage, respectively from a gate line driving circuit. The source line 1 and the gate lines 21, 22 are formed by crossing each other through an insulator, and connected to each TFT 31, 32. Also, a means for converting a digital image signal into an analog voltage at every liquid crystal picture element is provided, a gradation level is transferred to each liquid crystal picture element by the digital image signal, and it is converted into an analog voltage corresponding to the gradation level at every liquid crystal picture element. In such a way, the multi-gradation display can be executed.



.....
Data supplied from the esp@cenet database — Worldwide

⑦ 公開特許公報(A) 平3-53218

⑧ Int. Cl. ⁵	識別記号	庁内整理番号	⑨ 公開 平成3年(1991)3月7日
G 02 F 1/133	5 5 0	7709-2H	
	5 7 5	7709-2H	
1/1343		7610-2H	
1/136	5 0 0	9018-2H	
G 09 G 3/20		8621-5C	
3/36		8621-5C	

審査請求 未請求 請求項の数 3 (全7頁)

⑩ 発明の名称 画像表示パネル

⑪ 特 願 平1-189176

⑫ 出 願 平1(1989)7月21日

⑬ 発 明 者 沖 村 隆 幸 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑭ 発 明 者 中 嶋 秀 樹 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑮ 発 明 者 酒 井 重 信 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑯ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

⑰ 代 理 人 弁理士 志賀 富士弥

明 細 書

1. 発明の名称

画像表示パネル

2. 特許請求の範囲

(1) 液晶画素毎にスイッチング機能を有する素子を付加したアクティブマトリクス駆動形の画像表示パネルにおいて、

上記各液晶画素のスイッチング機能を有する素子が外部から印加される表示すべき階調レベルに対応するデジタル画像信号をその階調レベルに対応するアナログ電圧に変換する手段を有することを特徴とする画像表示パネル。

(2) 各液晶画素のスイッチング機能を有する素子が導通部を直列に接続した第1および第2のスイッチング素子を有して成り、

上記第1および第2のスイッチング素子同士の接続点に第1の容量素子を接続するとともに該第2のスイッチング素子の直列接続の一端に第2の容量素子を接続して該第1の容量素子と第2の容量素子の内少なくとも一つを液晶画素とし、

上記第1のスイッチング素子の直列接続の一端を外部より時系列のデジタル画像信号電圧を加する列電極に接続し、

上記第1および第2のスイッチング素子の導通部を上記画像信号電圧に同期して交互に開閉可能に該第1および第2のスイッチ素子の開閉部を行電極に接続し、

上記開閉により上記第1および第2の容量素子間で該画像信号電圧を分給してアナログ電圧に変換し上記液晶画素に保持することを特徴とする請求項1に記載の画像表示パネル。

(3) 請求項2に記載の画像表示パネルにおいて、新たに導通部を直列に接続した第3および第4のスイッチング素子を設け、

第1のスイッチング素子の一端を列電極へ接続する代りに上記第3および第4のスイッチ素子同士の導通部の接続点に接続し、

上記第3および第4のスイッチ素子の直列接続の両端をそれぞれ異なる特定レベルの電圧を印加する電極に接続するとともに該第3および第4の

スイッチ素子のどちらかを時系列のデジタル画像信号に対応して開閉可能に該第3および第4のスイッチ素子の開閉部を列電極に接続してその開閉によりデジタルの画像信号電圧を上記第1および第2のスイッチ素子へ印加することを特徴とする画像表示パネル。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、階調表示を行うマトリクス液晶画面構成の画像表示パネルに関するものである。

[従来技術]

従来より、マトリクス状に液晶画素を構成し、各液晶画素毎にスイッチ機能を持つTFT(薄膜トランジスタ)等を付加してアクティブマトリクス駆動を行い、多階調の画像や文字等を表示するのに有用な画像表示パネルが知られている。

第6図はアクティブマトリクス駆動を行う従来例のマトリクス液晶画面構成の画像表示パネルの説明図であり、第7図は第6図に示した画像表示パネルの1画素の回路構成図である。両図におい

ては、液晶部7に電荷を蓄える。続いて、ゲート線2を不活性化してTFT3をオフ(OFF)状態にすることにより、その電荷すなわち液晶部7に加わる電圧を保持して目的とする階調レベルの表示を得る。

[発明が解決しようとする課題]

ところで、上記従来技術におけるアクティブマトリクス駆動形液晶の画像表示パネルでは、多階調の表示を行う場合、階調レベルに対応するアナログ電圧を正確に液晶部7に加える必要がある。しかしながら、画像表示パネルの規模が大きくなると、ソース線1の配線抵抗や配線容量などの影響を受けるため、ソース線駆動回路6に近い液晶部7と遠い液晶部7とでは加えられるアナログ電圧に差が生じ、多階調表示が困難になる問題点があった。また、ソース線駆動回路6は、微妙なアナログ信号を取り扱ってソース線1の電圧を制御しなければならず、階調表示を行わない2値表示パネルのものに比べて複雑でコスト高となる欠点があった。

て、同一番号を付した部分とは、同一部分を示している。1はソース線、2はゲート線、3はスイッチ素子であるTFT、4は画素、5はゲート線駆動回路、6はソース線駆動回路、7は液晶部、8は対向電極である。ここで、画素4は液晶部7および対向電極8によりマトリクス状に構成され、各画素4毎にTFT3が付加されている。液晶部7は、マトリクス状の液晶電極を有し、対向する全画電極(対向電極8)の間に液晶が充填されて成る。ソース線1はマトリクスの列対応にTFT3の導通部の一端に接続され、ゲート線2はマトリクスの行対応にTFT3のゲート部に接続され、各TFT3の導通部の他端には画素4毎に液晶部7の液晶電極が接続されている。

このような画素構成において、階調表示は、液晶部7を透過する光の透過率が液晶部7に加わる電圧に依存することを利用して行なわれている。即ち、まずゲート線2を活性化してTFT3をオン(ON)状態にし、次に階調レベルに対応する電圧をソース線1に印加して、容量性負荷である

本発明は、上記問題点や欠点を解決するために創案されたもので、多階調表示能力の向上と、ソース線駆動回路等のスイッチング機能を有する素子の駆動回路のコスト低減とを可能にするアクティブマトリクス駆動形の液晶画面構成の画像表示パネルを提供することを目的とする。

[課題を解決するための手段]

上記の目的を達成するための本発明の画像表示パネルの構成は、

液晶画素毎にスイッチング機能を有する素子を付加したアクティブマトリクス駆動形の画像表示パネルにおいて、

上記各液晶画素のスイッチング機能を有する素子が外部から印加される表示すべき階調レベルに対応するデジタル画像信号をその階調レベルに対応するアナログ電圧に変換する手段を有することを特徴とする。

[作用]

本発明は、液晶画素毎にデジタル画像信号をアナログ電圧に変換する手段を設け、各液晶画素

に対し階調レベルをデジタル画像信号で伝達し、液晶画素毎に階調レベルに対応するアナログ電圧に変換することにより、多階調表示を行う。上記において、デジタル画像信号は、配線抵抗や配線容量の影響を受けずに表示すべき階調レベルを各液晶画素に正確に伝え、変換手段は各画素部分において配線抵抗や配線容量の影響を受けずに正確な階調レベルのアナログ電圧を作成して多階調能力を向上させる。また、各液晶画素の多階調表示の制御にデジタル画像信号を用いることが、ソース線駆動回路等のスイッチング機能を有する素子の駆動回路を簡単化し、コスト低減を可能にする。

[実施例]

以下、本発明の実施例を図面に基いて詳細に説明する。

第1図は本発明の第1の実施例を示すアクティブマトリクス駆動型液晶画素構成の画像表示パネルの1画素部分の回路構成図である。1はソース線、21、22はゲート線、31は第1のスイ

ッチのゲート線駆動回路よりそれぞれデジタル画像信号電圧に同期する2相の開閉制御信号電圧を印加して、TFT31、TFT32の導通部を交互に開閉する列電極を構成するものである。ソース線1とゲート線21、22は、絶縁体を介して互いに交差して形成し、上記各TFT31、32に接続する。

以上のように構成した第1の実施例の動作および作用を述べる。第2図は、第1の実施例の動作説明用の信号波形図であり、(A)はソース線1からTFT31の導通部へ印加するデジタル画像信号電圧波形を示し、(B)はゲート線21からTFT31のゲート部へ印加する開閉制御信号電圧波形を、(C)はゲート線22からTFT32のゲート部へ印加する開閉制御信号電圧波形を示し、(D)は液晶部71に加わる電圧波形を、(E)は液晶部72に加わる電圧波形を示している。上記においては、1例として4ビットの二進数で表される(10/16)の階調レベルに対応する電圧を最終的に液晶部71、72に加える場合に

チ素子であるTFT(薄型トランジスタ)、32は第2のスイッチ素子であるTFT、71は第1の容量素子である液晶部、72は第2の容量素子である液晶部、8は対向電極である。1画素を構成する液晶部71、72は、ガラス等の絶縁基板上に形成された半導体層上または半導体基板上行列(マトリクス)状に配置した画素電極を有し、これと対向して全面に配置した透明な対向電極8との間に液晶を充填して構成する。TFT31、TFT32は導通部を直列に接続し、それらの導通部の接続点を液晶部71の画素電極に接続する。TFT32側の直列接続の導通部の一方の端は液晶部72の画素電極に接続し、TFT31側の直列接続の導通部の他方の端は列対応にソース線1へ接続する。TFT31の開閉部であるゲート部はゲート線21へ列対応に接続し、TFT32のゲート部はゲート線22へ列対応に接続する。ソース線1は、図略のソース線駆動回路より時系列のデジタル画像信号電圧を印加する列電極を構成するものであり、ゲート線21、22は、図略

についての動作の詳細を示してある。階調レベルを示す分母は2のビット数分のべき乗で与えられ、4ビットの階調表現では $2^4 = 16$ となる。また階調レベルを表す分子が、実際の階調レベルを示す変数であり、0、1、2、…、14、15までの値をとる。十進数での10は二進数では1010と表されるので、ソース線1には最下位ビットから0101の順で時系列に電圧を加え、それに同期してゲート線21、22を交互に活性化すること、ここで、“1”に対応する電圧をVとして“0”に対応する電圧を0として、液晶部71、72の容量値はどちらもCとする。以下、時系列方向に順を追って説明する。

(a) T₁、T₂期間

ソース線1に加えられる電圧が0なので、液晶部71、72に加わる電圧は0である。

(b) T₃期間

ゲート線21を活性化しTFT31をON状態にすると、液晶部71にC×Vで与えられる大きさの電荷Qが蓄えられる。

(b) T₁期間

TFT 31をOFF状態にした後TFT 32をON状態にすると、液晶部71と72の容量値が等しいので、液晶部71に蓄えられた電荷は液晶部71と72によって等分され、それぞれ、 $(8/16)Q$ の電荷が蓄えられる。

(c) T₂期間

ソース線1に加えられる電圧が0なので、TFT 31がON状態になると、液晶部71の電荷は0になる。

(c) T₃期間

TFT 32をON状態にすると液晶部72に蓄えられた $(8/16)Q$ の電荷は、液晶部71と72によって等分され、それぞれ $(4/16)Q$ の電荷が蓄えられる。

(d) T₄期間

TFT 31がON状態になると液晶部71には $(16/16)Q$ の電荷が蓄えられる。

(d) T₅期間

TFT 32がON状態になると液晶部71に蓄

電を加えるとともに、ゲート線21、22をともに活性化してTFT 31、32を同時にON状態にし、液晶部71、72に加わる電圧を0（またはオフセット電圧）とすることで行う。前回の階調表示のリセットの動作は、1フィールド走査または1フレーム走査の終りにまとめて行うか、あるいはマトリクスを行を走査して階調表示を行う際に、その行毎に行っても良い。

本実施例は、以上のように画像信号をデジタルの画像信号電圧として各画素に与え、各画素においてデジタル-アナログ電圧変換を行い、階調レベルに対応したアナログ電圧を作成する。従って、そのアナログ電圧は、ソース線1の配線抵抗や配線容量の影響を受けることがなく、また、デジタル画像信号電圧も配線抵抗や配線容量の影響を受けにくいので、そのアナログ電圧は正確に階調レベルに対応する。図示しないソース線駆動回路は、デジタル画像信号を取り扱えば良く、階調レベルに対応する適切なアナログ電圧を扱う必要がなくなるので、回路が簡単になり、コスト

えられたQの電荷と液晶部72に蓄えられた $(4/16)Q$ の電荷が加算、等分されて、それぞれ $(10/16)Q$ の電荷が蓄えられる。よって最終的に液晶部71と72にはそれぞれ $(10/16)V$ の電圧が加わることになる。

上記例において、二進数表現のビット値“0”の電圧を0以外の値にすれば、液晶部71、72にオフセット電圧を加えることができる。このときの最終的な液晶部71、72の電圧はビット値“0”の電圧を V_0 、二進数4ビットの十進数表現をnとして、

$$(n/16) \cdot (V - V_0) + V_0$$

となる。(d)の期間の後に、TFT 31、32をともにOFF状態とすれば、液晶部71、72の $(10/16)V$ の電圧が保持され $(10/16)V$ の階調レベルの表示がなされる。このような表示状態の液晶部71、72に次の階調レベルの表示を行うには、第2図の各信号を印加する前に前回の階調表示のリセットを行う。このリセットの動作は、ソース線1からビット値“0”の電圧

を低減することができる。

第3図は本発明の第2の実施例の画像表示パネルの一部分の回路構成図である。1はソース線、24と25はゲート線、31と32はTFT、71と72は液晶部、8は対向電極である。この構成は、第1図に示した第1の実施例の構成において、ゲート線21と22を隣接する上下の直交のゲート線24と25で共用したものである。即ち、同一のゲート線の制御によって表示を行う画素の単位を1ライン（行）とすると、上のラインから下のラインへ表示していく場合には、上のラインを表示する時にゲート線25を活性化すると下のラインの液晶部に電荷が蓄えられるが、下のラインを表示するときに改めて正しい電荷が蓄えられる。また上のラインの表示が終わった後は、下のラインの表示をするためにゲート線25を活性化しても、液晶部71と72の電位は等しいので電荷の移動は起こらない。このように、ゲート線21と22を共用しても第1の実施例と同じ動作が可能であり、同様に作用させることができる。

第4図は本発明の第3の実施例を示す画像表示パネルの1画素部分の回路構成図である。本実施例は、第1の実施例におけるディジタル画像信号電圧をソース線駆動回路から直接与えるのをやめて、2つの電圧レベルの電圧線にそれぞれ接続した第3および第4のスイッチ素子を開閉して与えるようにしたものである。第4図において、21、22はゲート線、31、32は第1および第2のスイッチ素子であるTFT、71、72は液晶部、8は対向電極であり、第1図と同様に構成する。23、24は第1図のソース線1に代えて新たに設けた列電極を構成するゲート線、33は第3のスイッチ素子であるTFT、34は第4のスイッチ素子であるTFT、91、92は2つの異なる電圧レベルを与える電源線である。TFT33とTFT34の導通部は直列に接続し、TFT33側の導通部端を電源線91に接続し、TFT34の導通部端を電源線92に接続する。また、TFT33の開閉部であるゲート部はゲート線23へ接続し、TFT34のゲート部はゲート線24へ

従って、本実施例は第1の実施例よりも、さらに正確なディジタル画像信号電圧を各画素へ加えることが可能になり、第5図に示す駆動回路6に近い画素と近い画素の間でのディジタル信号“1”、“0”に対応する電圧の変動を小さくすることができ、より正確なディジタル-アナログ電圧変換ができ、より一層、多階調表示能力を向上させることができる。

第5図は本発明の第4の実施例を示す画像表示パネルの1画素部分の回路構成図である。本実施例は、第3の実施例において、ゲート線数を低減できるようにしたものである。21、23はゲート線、31、32'はCMOSを構成する相補型のTFT、33、34'はCMOSを構成する相補型のTFT、71、72は液晶部、8は対向電極、91、92は電源線であり、32'、34'のTFTを除き第4図の第3の実施例と同様に構成する。第4の実施例ではTFT32'の導通部は第4図のTFT32と同一に接続するが、そのゲート部はゲート線21へ接続する。また、TFT

接続する。TFT31の導通部の端はこのTFT33、34同士の導通部の接続点に接続する。

以上のように構成した第3の実施例の動作および作用を述べる。本実施例において、電源線91と92には、それぞれディジタル画像信号電圧の“1”と“0”に対応する電圧を常時印加しておく。TFT31のソース線に“1”を印加するときには、ゲート線23を活性化しTFT33をON状態にする。このときゲート線24にはゲート線23と逆相の信号を加え、TFT34をOFF状態にしておく。TFT31のソース線に“0”を印加するときにはこれの逆にする。ゲート線21と22の制御は、第1の実施例と同じに行う。これによって、TFT31に加えるディジタル信号の“1”、“0”に対応する電圧を、電源線91、92からTFT33、34の開閉により、TFT33、34を通してゲート線21、22の制御信号とは独立に与えることができる。ここで、電源線91、92はマトリクス状に配線することができ、その配線抵抗を低減することができる。

T34'の導通部は第4図のTFT34と同一に接続するが、そのゲート部はゲート線23へ接続する。本実施例は、第3の実施例においてゲート線21と22及び23と24の制御信号が逆位相であることに着目し、TFT31と32及びTFT33と34をCMOS化したものである。即ち、第4の実施例において、同じゲート線21、23の開閉制御信号により、TFT31とTFT32'のいずれか一方をおよびTFT33とTFT34'のいずれか一方をON状態とし、同時に他方をOFF状態にすることができる。このような構成とすることによりゲート線絶縁の低減が可能となり、ゲート線の活性、非活性を制御する信号の数を半分にでき、回路が簡単化されるとともに、より一層のコスト低減が可能になる。

なお、本実施例で用いるスイッチング素子はnチャンネルMOSやpチャンネルMOSのいずれでも良いし、他のスイッチング素子を用いることもできる。また、第1の実施例においては、TFT31、32を第4の実施例のようにCMOS化

し、同線にゲート駆動を低減することができる。
第3の実施例においては、第2の実施例のように隣接するライン間でゲート線を共用することも可能である。さらに、液晶部71、72のいずれか一方は容量素子としても良い。このように、本発明はその主旨に沿って種々に応用され、種々の実施態様を取り得るものである。

〔発明の効果〕

以上の説明で明らかなように、本発明の画像表示パネルによれば、階調表示を行う際に、ソース線に階調レベルに対応したアナログ電圧を加えるのではなく、デジタル画像信号を加え、画素部においてデジタル・アナログ変換することができる。その結果、階調表示に対応した正確なアナログ電圧を得ることができ、従来の構成に比べて多階調表示能力を向上させることが可能になるとともに、デジタル化により駆動回路の負担低減が可能となる。

4. 図面の簡単な説明

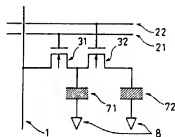
第1図は本発明の第1の実施例を示す一画素部

分の回路構成図、第2図は第1の実施例の動作説明用の信号波形図、第3図は本発明の第2の実施例を示す一部分の回路構成図、第4図は本発明の第3の実施例を示す一画素部分の回路構成図、第5図は本発明の第4の実施例を示す一画素部分の回路構成図、第6図は従来例の説明図、第7図は従来例の一画素部分の回路構成図である。

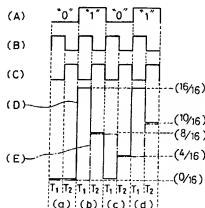
1…ソース線、21, 22, 23, 24…ゲート線、31…TFT(第1のスイッチ素子)、32, 32'…TFT(第2のスイッチ素子)、33…TFT(第3のスイッチ素子)、34, 34'…TFT(第4のスイッチ素子)、71…液晶部(第1の容量素子)、72…液晶部(第2の容量素子)、8…対向電極、91, 92…電解線。

代理人 志 賀 富 士 弥

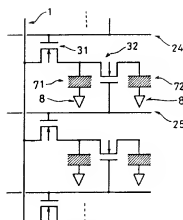
1…ソース線
21, 22…ゲート線
31…第1のスイッチ素子(TFT)
32…第2のスイッチ素子(TFT)
71, 72…液晶部
8…対向電極



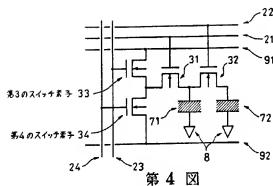
第1図



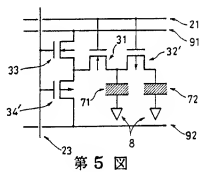
第2図



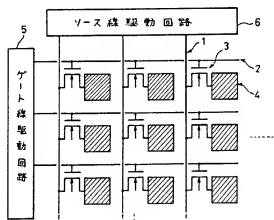
第 3 図



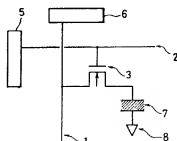
第 4 図



第 5 図



第 6 図



第 7 図